

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年8月25日 (25.08.2005)

PCT

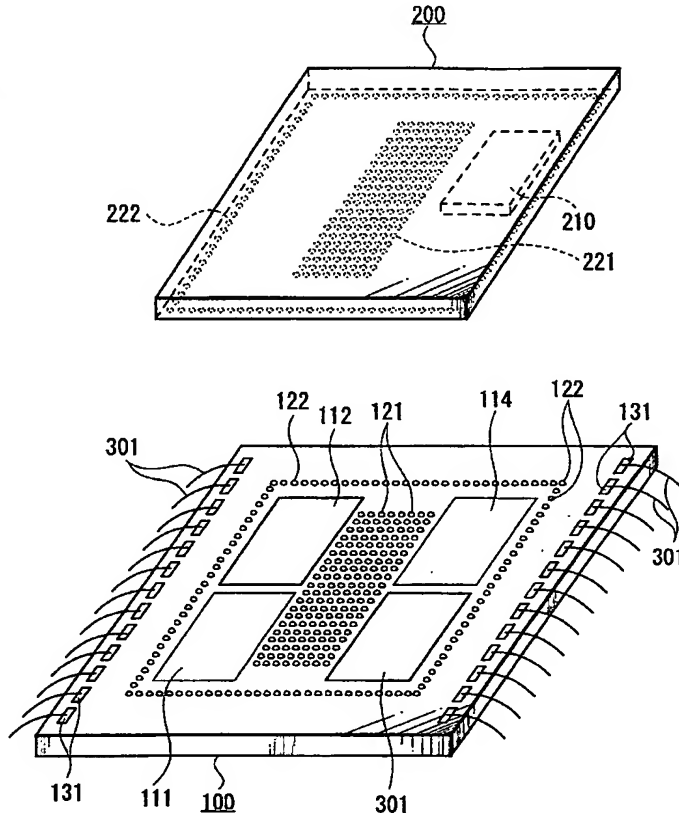
(10) 国際公開番号  
WO 2005/078797 A1

- (51) 国際特許分類: H01L 25/065, 25/07, 25/18 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2005/002196 (75) 発明者/出願人 (米国についてのみ): 近藤 員弘  
(22) 国際出願日: 2005年2月8日 (08.02.2005) (KONDO, Kazuhiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).  
(25) 国際出願の言語: 日本語 (74) 代理人: 角田 芳末, 外 (TSUNODA, Yoshisue et al.); 〒160-0023 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2004-038403 2004年2月16日 (16.02.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,  
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: First and second semiconductor chips (100, 200) are stacked and interconnected through small bumps. Therefore, circuit blocks in the first semiconductor chip is connected through the small bumps to a circuit block in the second semiconductor chip. The circuit block in the second semiconductor chip is connected to external electrodes through the first semiconductor chip by small bump connection. The small bump (121, 221) for interconnecting circuit blocks (111 to 114, 210) of the semiconductor chips (100, 200) are provided at positions different from those of the small bumps (122, 222) for connecting the circuit block (210) in the second semiconductor chip (200) to external electrodes.

[続葉有]



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

第1の半導体チップ100と第2の半導体チップ200とを積層して構成される場合に、両半導体チップ100, 200間の接続として、微小バンプ接続を行なう構成として、その微小バンプ接続で、第1の半導体チップ内の回路ブロックと第2の半導体チップ内の回路ブロックとを接続すると共に、第2の半導体チップ内の回路ブロックを第1の半導体チップを介して外部電極と接続するための接続についても、微小バンプ接続で行なうようにした。また、両半導体チップ100, 200の回路ブロック111~114, 210を接続する微小バンプ121, 221と、一方のチップ200内の回路ブロック210を外部電極に接続するための微小バンプ122, 222とを、異なる位置に配置するようにした。

## 明 細 書

## 半 導 体 装 置

## 技術分野

本発明は、複数の半導体チップを積層して構成される半導体装置  
5 に関する。

## 背景技術

従来、複数の半導体チップを、3次元方向（高さ方向）に積層して1つのパッケージに集積化するSIP（System in package）  
10 技術が開発されている。図5及び図6は、従来のこの種の半導体装置の構成例を示した図である。図5は断面で示してあり、図6は上から見た平面図である。この例では、第1のチップ10の上に、第2のチップ20を積層するようにしてあり、第1のチップ10内には、メモリ（DRAM）11などが集積回路として構成  
15 させてあり、第2のチップ20には、CPU（中央制御ユニット）ブロック21などが集積回路で構成させてある。また、第1のチップ10は、第2のチップ20よりも若干大きなサイズとしてある。

第1のチップ10内のメモリ11は、複数のDRAMで構成  
20 してあり、その複数のDRAMを選択するセクタ12が用意してあり、メモリ11が、セクタ12を介して第2のチップ20側のCPUブロック21と接続される構成としてある。CPUブロック21側にも、セクタを有する。これらのセクタを介した接続構成の詳細については後述するが、各セクタは、データを一時的に保持するレジスタ機能も有する。  
25

このメモリ11とCPUブロック21とを接続するための構成としては、図6に示すように、第1のチップ10側に、セクタ12と内部配線で接続されたパッド13aを用意して、第2のチ

チップ 20 側に、CPU ブロック 21 と内部配線で接続されたパッド 22 a を用意する。そして、第 1 のチップ 10 側のパッド 13 a と、第 2 のチップ 20 側のパッド 22 a とを、銅線などのワイヤ 31 で接続する。なお、図 6 では説明を簡単にするために、パ  
5 ッド 13 a, 22 a とワイヤ 31 は、1 組だけを示してあるが、実際には複数個配置してあり、パラレルデータの転送が行なえる構成としてある。

また、CPU ブロック 21 と外部とを接続するために、CPU  
ブロック 21 と内部配線で接続されたパッド 22 b を、第 2 のチ  
10 ップ 20 側に所定数用意する。第 1 のチップ 10 側には、各パッド 22 b と近接した位置にパッド 13 b を所定数用意し、さらに、第 1 のチップ 10 の周縁部に、パッド 13 b と内部配線で接続されたパッド 13 c を所定数用意する。そして、第 2 のチップ 20  
側のパッド 22 b と、第 1 のチップ 10 側のパッド 13 b とを、  
15 ワイヤ 31 で接続し、第 1 のチップ 10 の周縁部のパッド 13 c を、ワイヤ 32 でパッケージ（図示せず）側の電極と接続する。

ここで、第 2 のチップ 20 側の CPU ブロック 21 と、第 1 の  
チップ 10 側のメモリ 11 との従来の接続状態の例を、図 7 に示  
す。図 7 の例では、メモリ 11 として、4 個の DRAM 11 a,  
20 11 b, 11 c, 11 d で構成される例としてあり、各 DRAM  
11 a ~ 11 d が、チップ 10 内の内部配線を介してレジスタ及  
びセクタ 12 と接続してある。セクタ 12 は、チップ 10,  
20 間を接続したワイヤ 31 を介して、CPU ブロック 21 側の  
レジスタ及びセクタ 21 a と接続してあり、レジスタ及びセ  
25 クタ 21 a が、CPU ブロック 21 内の回路と内部配線を介して  
接続してある。

この図 7 に示すように、レジスタ及びセクタ 12, 21 a を  
介して、CPU ブロック 21 側と DRAM 11 a ~ 11 d 側とを

接続して、4つのDRAM 11a～11dの読出し又は書き込みを選択的に行なうと共に、さらに選択された1つのDRAMの中でも分割して、読出し又は書き込みを行なうようにしてある。例えば、1つのDRAMで本来は128ビットのデータをパラレル  
5   で読出し又は書き込みを行なう場合に、両セクタ12, 21aの間は、32本のワイヤで接続して、128ビットの読出し又は書き込みを、4回に分割して行なう構成とする。

日本国特許庁発行の特開平8-167703号公報には、このような構成で複数の半導体チップを積層させることについての開  
10   示がある。

ところで、図5～図7に示した構成では、第1のチップ10のCPUブロックと、第2のチップ20のメモリとの接続として、レジスタ及びセクタを介した接続としてあるが、これは、両チップ10, 20間を接続するワイヤ31（及びそのワイヤを接続  
15   するパッド）を、比較的少ない数として、2つのチップ部品の間を接続するワイヤを少なくするためである。ワイヤの本数が増えると、チップ部品間の接続作業に手間がかかり、好ましくない。また、チップ上にパッドを配置できる面積にも限りがあるので、接続できる数そのものに物理的な制約があるためでもある。

ところが、上述したようにセクタを介して接続して分割して書込みや読出しを行なうようにすると、それだけメモリへのアクセスに時間がかかる問題がある。アクセスに要する時間を短縮するためには、データの転送レートを上げる必要があるが、ワイヤで接続した場合には、ワイヤ部分のインダクタンス成分が大きい  
20   ため、転送レート的高速化で波形に歪みが発生し易くなる問題があり、また不要輻射が増えたり、消費電力の増加にもつながる。

また、このように2つのチップを積層接続した場合には、一方のチップ内部の回路ブロックをパッケージ側の電極と接続するた

めだけに、他方のチップ部品にワイヤで接続する必要があり、接続構成が複雑化する問題があった。具体的には、例えば図 5，図 6 の例では、第 2 のチップ 20 側の CPU ブロック 21 を、パッケージ側の電極と接続するために、パッド 22b，ワイヤ 31，  
5 パッド 13b で、第 1 のチップ 10 側の内部配線に接続し、さらに、その第 1 のチップ 10 の周縁部のパッド 13c からワイヤでパッケージ側の電極と接続する構成としてあり、接続構成が複雑であった。また、このような CPU ブロック 21 とパッケージ側の電極とを接続するためのワイヤ（ワイヤ 31 の一部）と、CPU  
10 ブロック 21 とメモリ 11 とを接続するためのワイヤ（ワイヤ 31 の一部）とが、近接して配置されていると、上述した不要輻射の影響を相互に受けて、特性上好ましくない。

本発明の目的は、複数の半導体チップを積層した場合に、接続構成を簡単することができると共に、特性的にも良好な特性とすることができる半導体装置を提供することにある。  
15

#### 発明の開示

第 1 の発明は、第 1 の半導体チップと第 2 の半導体チップとを積層して構成される半導体装置において、前記第 1 の半導体チップ  
20 として、外部電極とワイヤ接続するための第 1 の電極部と、前記第 2 の半導体チップ内の回路を、前記第 1 の電極部に接続するための微小バンプを有する第 2 の電極部と、前記第 1 の半導体チップ内の回路ブロックを、前記第 2 の半導体チップ内の回路と接続するための微小バンプを有する第 3 の電極部とを備え、前記第  
25 2 の半導体チップとして、前記第 1 の半導体チップの第 2 の電極部と接続するための微小バンプを有する第 4 の電極部と、前記第 1 の半導体チップの第 3 の電極部と接続するための微小バンプを有する第 5 の電極部とを備えた半導体装置としたものである。

第2の発明は、第1の発明の半導体装置において、前記第1の半導体チップの第2の電極部と、前記第2の半導体チップの第4の電極部は、それぞれのチップの周辺部の近傍に配置し、前記第1の半導体チップの第3の電極部と、前記第2の半導体チップの第5の電極部は、それぞれのチップの中央部の近傍に配置したものである。

第3の発明は、第1の発明の半導体装置において、前記第1の半導体チップは、メモリの回路ブロックを有し、前記第2の半導体チップは、制御部の回路ブロックを有するものである。

10 第3の発明は、第1の発明の半導体装置において、前記第3及び第5の電極部を構成する微小バンプは、少なくとも前記第1の半導体チップが有するメモリで、並列に読出し又は書き込みを行なうビット数に対応した数だけ配置したものである。

15 このように構成した本発明によると、2つの半導体チップの間の接続を、微小バンプ接続で接続したので、2つの半導体チップの間を簡単に多数の端子数で接続できるようになる。従って、例えば第1の半導体チップにメモリの回路ブロックを設け、第2の半導体チップに制御部の回路ブロックを設けて、制御部とメモリとを接続する場合に、メモリへの書込みや読出しを行なうのに必要なビット数で接続することが可能になり、メモリを選択するためのセレクトなどを設ける必要がなく、構成を簡単にすることができる。

25 また、例えば第1の半導体チップ内の回路ブロックと、第2の第1の半導体チップ内の回路ブロックとを微小バンプ接続するための電極部と、それ以外の微小バンプ接続するための電極部とを、チップ上の異なる位置に配置したことで、2つの半導体チップ内の回路ブロック間でのデータ転送と、半導体装置の外部とのデータ転送とが、全く干渉しない状態で行なえる配置とすることが可

能になり、良好な特性の半導体装置とすることができる。

#### 図面の簡単な説明

図 1 は、本発明の一実施の形態による断面構造の例を示した断面  
5 面図である。

図 2 は、本発明の一実施の形態による接合前の状態の例を示した斜視図である。

図 3 は、本発明の一実施の形態による第 2 のチップを、図 1、  
図 2 と反転した状態で示した斜視図である。

10 図 4 は、本発明の一実施の形態の装置の回路ブロックの接続例を示したブロック図である。

図 5 は、従来の半導体装置の断面構造の例を示した断面図である。

図 6 は、従来の半導体装置の例を示した平面図である。

15 図 7 は、従来の半導体装置のブロック接続例を示したブロック図である。

#### 発明を実施するための最良の形態

以下、本発明の一実施の形態を、図 1 ～図 4 を参照して説明す  
20 る。

図 1 及び図 2 は、本例の半導体装置の構成を、2 つのチップ 100、200 を接合する前の状態で示した図であり、図 1 は断面図として示し、図 2 は斜視図として示してある。また、図 3 は、チップ 100 を図 2 とは反転させて示してある。

25 本例においては、第 1 のチップ 100 の上に、第 2 のチップ 200 を積層するようにしてあり、第 1 のチップ 100 内には、メモリである DRAM 111、112、113、114 などが集積回路として構成させてあり、第 2 のチップ 200 には、CPU (中



央制御ユニット) ブロック 210 などが集積回路で構成させてある。また、第1のチップ100は、第2のチップ200よりも若干大きなサイズとしてある。第1のチップ100内の4個のDRAM111~114は、第2のチップ200側のCPUブロック  
5 210と微小バンプ付きの電極121, 221を介して直接接続する構成としてある。

この第1のチップ100内の4個のDRAM111~114を、第2のチップ200側のCPUブロック210とを接続する微小バンプ付きの電極121については、図2に示すように、第1の  
10 チップ100のほぼ中央に、所定のピッチでマトリクス状に多数配置してある。

また、図3に示すように、第2のチップ200の中央部にも、第1のチップ100側のマトリクス状の電極121と同じ個数かつ同じ配列で、同様のサイズの導電部材の突起で構成された微小  
15 バンプ付きの電極221を設けてある。電極121, 221は、1個の電極が、例えば約30 $\mu$ mの直径の導電部材の突起で構成されたバンプを有し、SnAgなどでメッキを施してある。後述する微小バンプ付きの他の電極122, 222についても、同様の構成である。

そして、第1のチップ100の上に第2のチップ200を取付ける際には、第1のチップ100側の微小バンプ付電極121と第2のチップ200側の微小バンプ付電極221とを、位置に正確を一致させて接触させた上で、加熱などの固定処理を行ない、接触した微小バンプ同士を電氣的に導通させた状態で固定させる。  
20  
25 このように固定させることで、例えば図1に示すように、第1のチップ100内のDRAM111は、内部配線101と微小バンプ付電極121, 221と内部配線201を介してCPUブロック210と接続される。第1のチップ100内のDRAM112

は、内部配線 1 0 2 と微小バンプ付電極 1 2 1, 2 2 1 と内部配線 2 0 2 を介して CPU ブロック 2 1 0 と接続される。第 1 のチップ 1 0 0 内の DRAM 1 1 3 は、内部配線 1 0 3 と微小バンプ付電極 1 2 1, 2 2 1 と内部配線 2 0 3 を介して CPU ブロック  
5 2 1 0 と接続される。第 1 のチップ 1 0 0 内の DRAM 1 1 4 は、内部配線 1 0 4 と微小バンプ付電極 1 2 1, 2 2 1 と内部配線 2 0 4 を介して CPU ブロック 2 1 0 と接続される。

本例の場合には、CPU ブロック 2 1 0 と各 DRAM 1 1 1 ~ 1 1 4 の入力バス及び出力バスを、それぞれの DRAM で必要な  
10 ビット幅で個別に用意してある。例えばバスのビット幅が 1 2 8 ビットであるとする、DRAM 1 個当たり入力バスと出力バスとで 1 2 8 ビットずつ、合計で 2 5 6 ビット幅が必要で、さらに DRAM が 4 個配置してあるため、 $256 \times 4 = 1024$  ビットのバス幅が必要である。従って、第 1 のチップ 1 0 0 側の微小バ  
15 ンプ付電極 1 2 1 と、第 2 のチップ 2 0 0 側の微小バンプ付電極 2 2 1 は、それぞれが少なくとも 1 0 2 4 個配置されている。実際には、制御データなどのやり取りを行なうラインも必要であるので、さらにそれよりも多い数の微小バンプ付電極 1 2 1, 2 2 1 を配置してある。

20 また、第 2 のチップ 2 0 0 内の CPU ブロック 2 1 0 は、第 1 のチップ 1 0 0 に取付けられたワイヤ 3 0 1 を介して、チップ 1 0 0, 2 0 0 を収納したパッケージ（図示せず）に取付けられた電極と接続する構成としてあり、この接続のために、例えば CPU  
25 ブロック 2 1 0 と内部配線 2 0 5（図 1 参照）で接続された微小バンプ付き電極 2 2 2 を用意する。この微小バンプ付き電極 2 2 2 については、図 3 に示すように、第 2 のチップ 2 0 0 の周縁部に配置してある。この微小バンプ付き電極 2 2 2 についても、数百からそれ以上の個数を有する。

そして、この微小バンプ付き電極 2 2 2 と対向する第 1 のチップ 1 0 0 側の位置にも、微小バンプ付き電極 1 2 2 を同じ個数配置する。この微小バンプ付き電極 1 2 2 は、第 1 のチップ 1 0 0 の内部配線 1 0 5 (図 1 参照) を介して、第 1 のチップ 1 0 0 の周縁部に配置した導電部材で構成される複数のパッド 1 3 1 に個別に接続してある。それぞれのパッド 1 3 1 は、図 1, 図 2 に示すように、それぞれ別のワイヤ 3 0 1 を介してパッケージ側の電極 (図示せず) とワイヤボンダ接続を行なう。

上述した第 1 のチップ 1 0 0 と第 2 のチップ 2 0 0 との接続作業時には、両チップ 1 0 0, 2 0 0 の周縁部の微小バンプ付き電極 1 2 2, 2 2 2 についても、同時に接続される。

図 4 は、本例の第 1 のチップ 1 0 0 内の各 D R A M 1 1 1 ~ 1 1 4 と、第 2 のチップ 2 0 0 内の C P U ブロック 2 1 0 との回路的な接続状態を示したブロック図である。本例の場合には、既に説明したように、各 D R A M 1 1 1 ~ 1 1 4 が必要な入力バス及び出力バス (それぞれ例えば 1 2 8 ビット幅) を、個別に C P U 2 1 1 と接続してある。従って、図 7 に示した従来例で必要であったレジスタやセレクタは不要であり、C P U 2 1 0 が直接的に各 D R A M 1 1 1 ~ 1 1 4 とアクセスできることになる。

また、C P U ブロック 2 1 0 内には、制御部である C P U 2 1 1 の他に、S R A M 2 1 2, データ入出力用のインターフェース 2 1 3, アナログ/デジタル変換器 2 1 4 などを有し、C P U ブロック 2 1 0 内のこれらの回路に接続されたバスなどの信号線が、必要なビット数で、微小バンプ付き電極 1 2 2, 2 2 2 とパッド 1 3 1 とワイヤ 3 0 1 を介してパッケージ側の電極と接続されるようにしてある。

以上説明した本例の構成の半導体装置によると、第 1 のチップ 1 0 0 内の複数のメモリ素子 1 1 1 ~ 1 1 4 と、第 2 のチップ内

のCPUブロック210とが、それぞれのメモリ素子が入力バス及び出力バスとして必要なビット幅で直接的に接続され、レジスタやセクタを介した接続でないので、制御構成が簡単であると共に、必要なデータをダイレクトで入出力させることができ、転送レートをそれほど高くしなくても、2つのチップ間で迅速にデータのやり取りが行なえる。また、転送レートの高高速化が必要ないことと、セクタなどが不要の点から、消費電力を抑えることもできる。

さらに、このメモリ素子111～114とCPUブロック210との間でデータの入出力を行なうための微小バンプ付き電極121, 221を、それぞれのチップ100, 200のほぼ中央部に配置し、CPUブロック210をパッケージに取付けられた電極と接続するための微小バンプ付き電極122, 222を周縁部に配置して、離れた位置（異なる位置）としたことで、CPUブロック210とメモリ素子111～114との間でやり取りされるデータと、CPUブロック210とパッケージの外部との間でやり取りされるデータとの干渉を防止でき、半導体装置としての電気的な特性を優れたものにすることができる。

なお、上述した実施の形態では、第1のチップ側にDRAMを配置し、第2のチップ側にCPUブロックを配置するようにしたが、これらの回路ブロックの配置が逆のチップであっても良い。また、それぞれのチップに、制御部であるCPUブロックやメモリ素子であるDRAM以外の回路ブロックを配置して、両チップ間の回路ブロックを、微小バンプを介して直接接続するようにしても良い。

## 請 求 の 範 囲

1. 第1の半導体チップと第2の半導体チップとを積層して構成される半導体装置において、  
前記第1の半導体チップとして、
- 5 外部電極とワイヤ接続するための第1の電極部と、  
前記第2の半導体チップ内の回路を、前記第1の電極部に接続するための微小バンプを有する第2の電極部と、  
前記第1の半導体チップ内の回路ブロックを、前記第2の半導体チップ内の回路と接続するための微小バンプを有する第3の電
- 10 極部とを備え、  
前記第2の半導体チップとして、  
前記第1の半導体チップの第2の電極部と接続するための微小バンプを有する第4の電極部と、  
前記第1の半導体チップの第3の電極部と接続するための微小
- 15 バンプを有する第5の電極部とを備えた  
半導体装置。
2. 請求の範囲第1項記載の半導体装置において、  
前記第1の半導体チップの第2の電極部と、前記第2の半導体チップの第4の電極部は、それぞれのチップの周辺部の近傍に配
- 20 置し、  
前記第1の半導体チップの第3の電極部と、前記第2の半導体チップの第5の電極部は、それぞれのチップの中央部の近傍に配置した  
半導体装置。
- 25 3. 請求の範囲第1項記載の半導体装置において、  
前記第1の半導体チップは、メモリの回路ブロックを有し、  
前記第2の半導体チップは、制御部の回路ブロックを有する  
半導体装置。

4. 請求の範囲第1項記載の半導体装置において、

前記第3及び第5の電極部を構成する微小バンプは、少なくとも前記第1の半導体チップが有するメモリで、並列に読出し又は書き込みを行なうビット数に対応した数だけ配置した

5 半導体装置。

FIG. 1

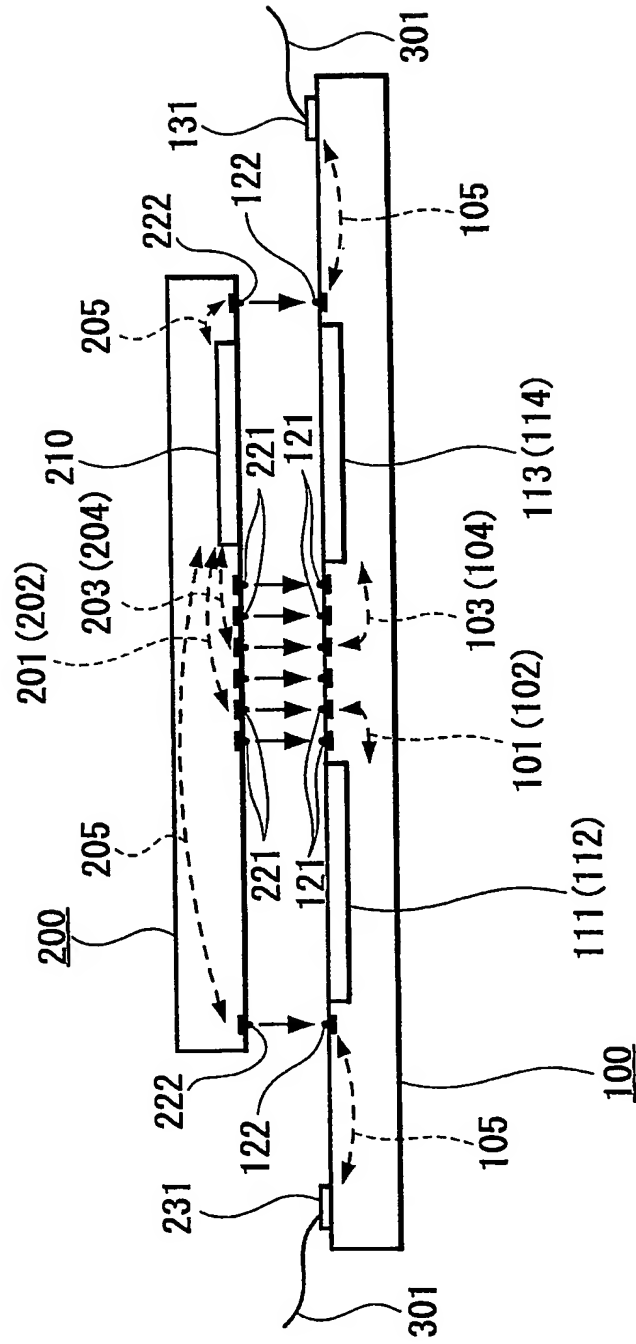
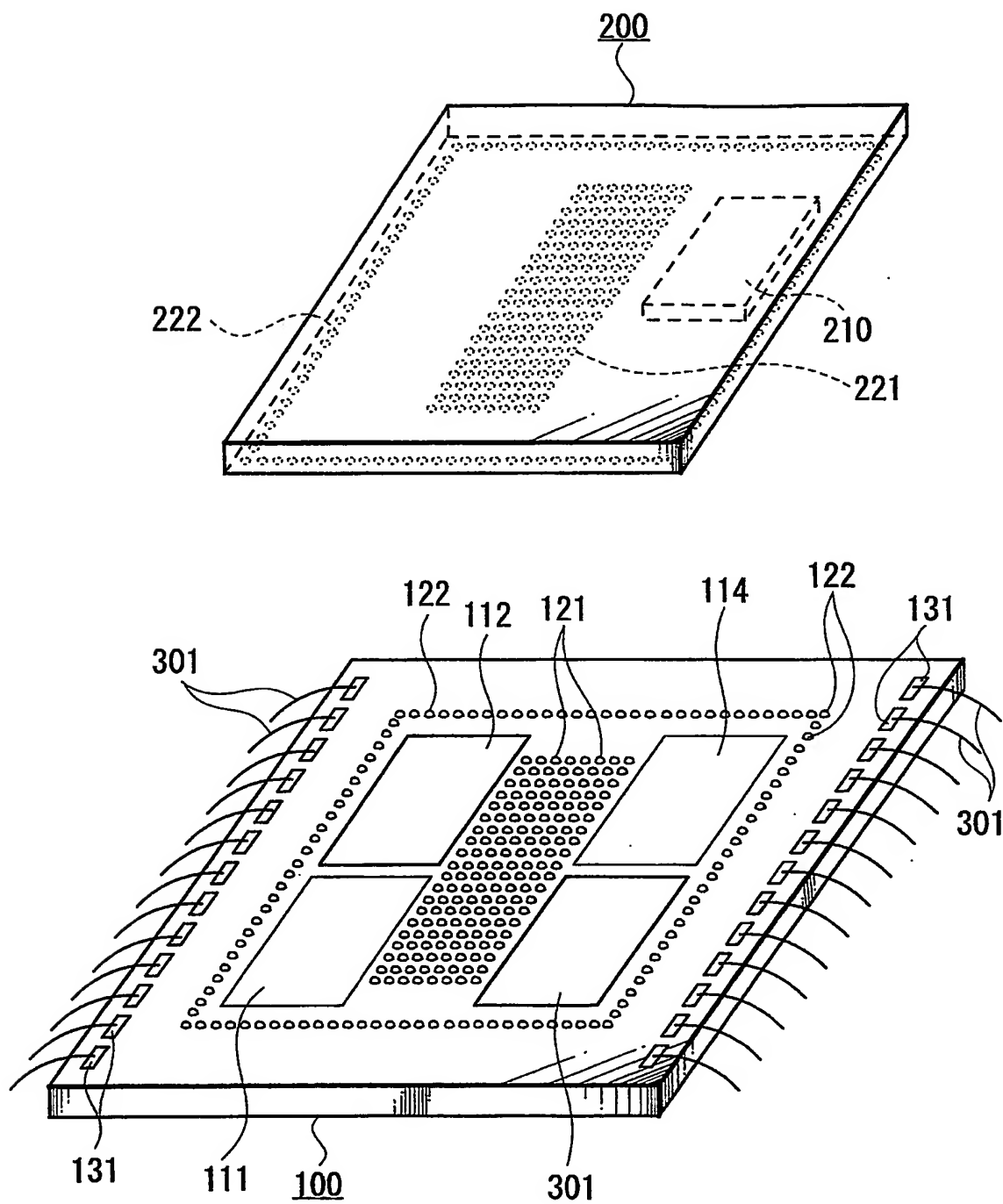
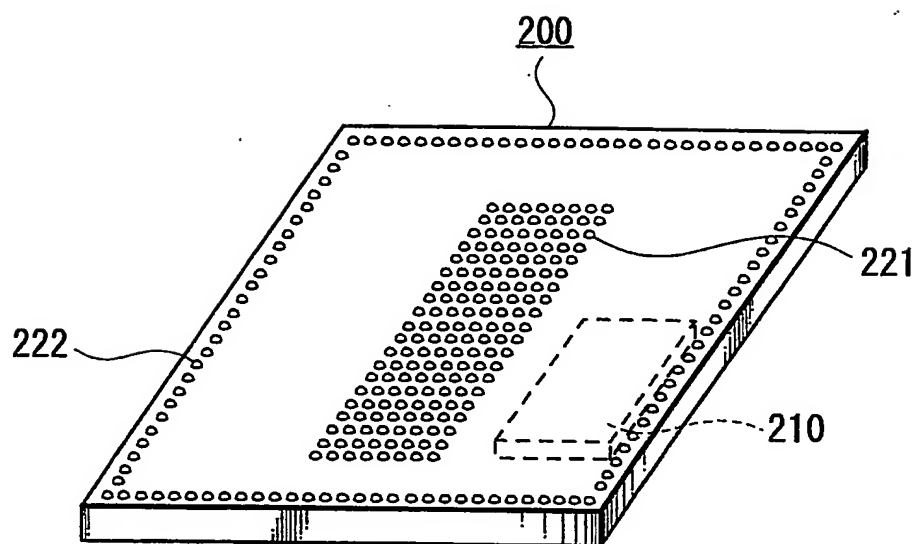
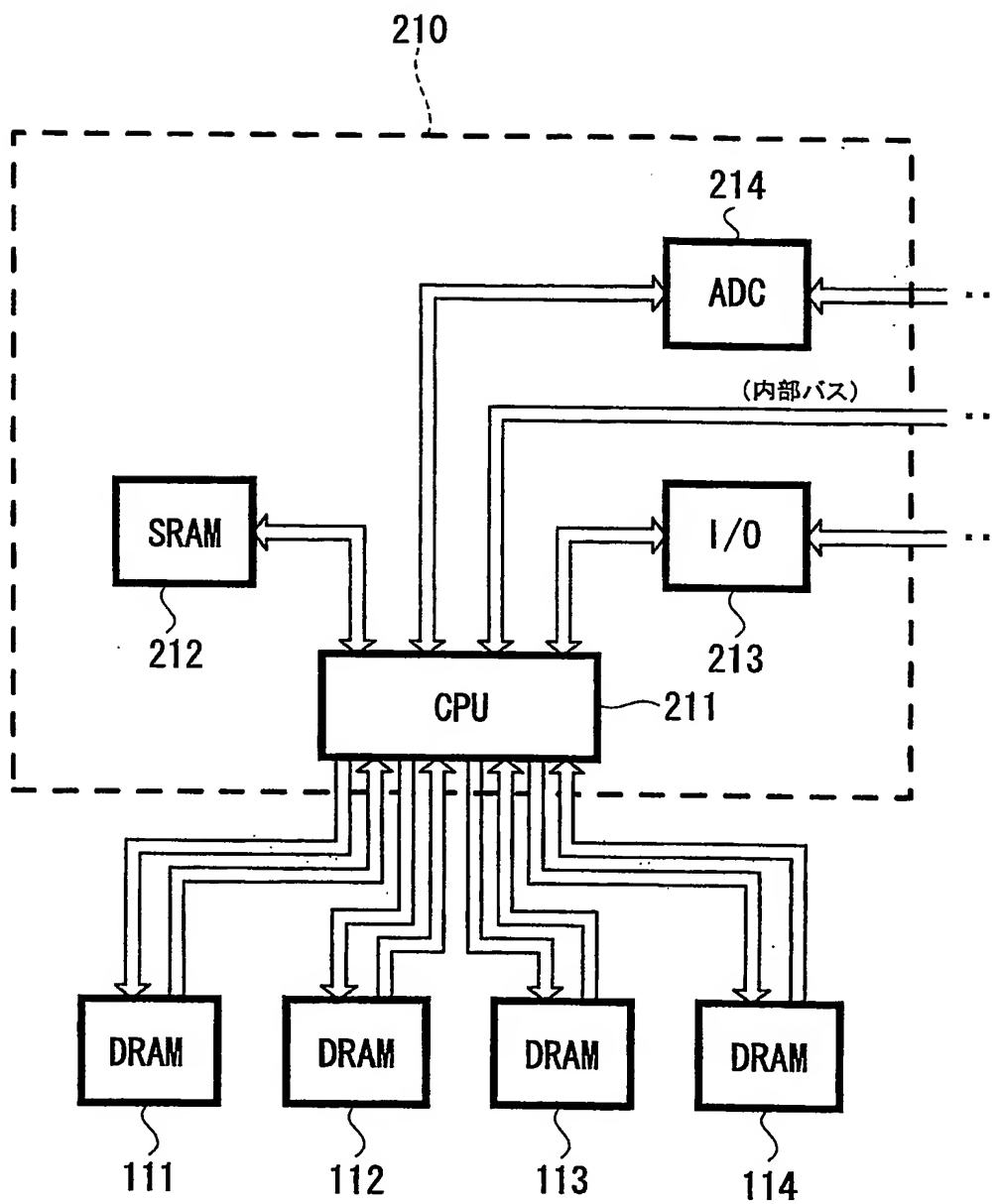


FIG. 2

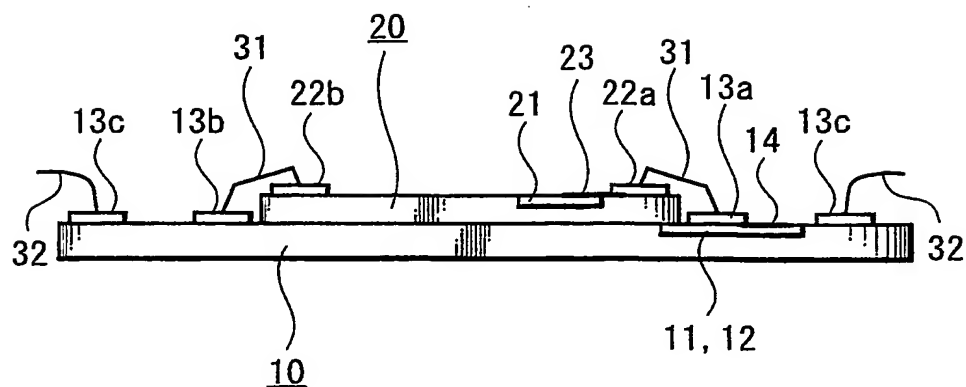




*FIG. 3*

*FIG. 4*

**FIG. 5**



**FIG. 6**

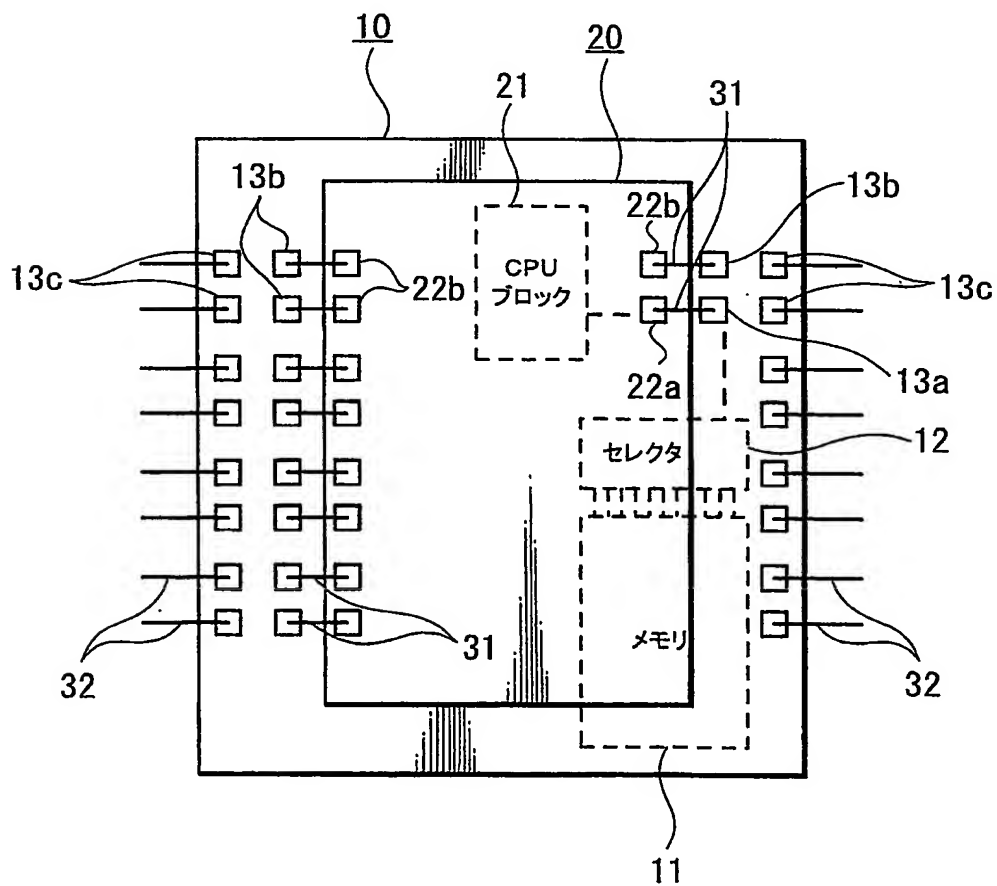
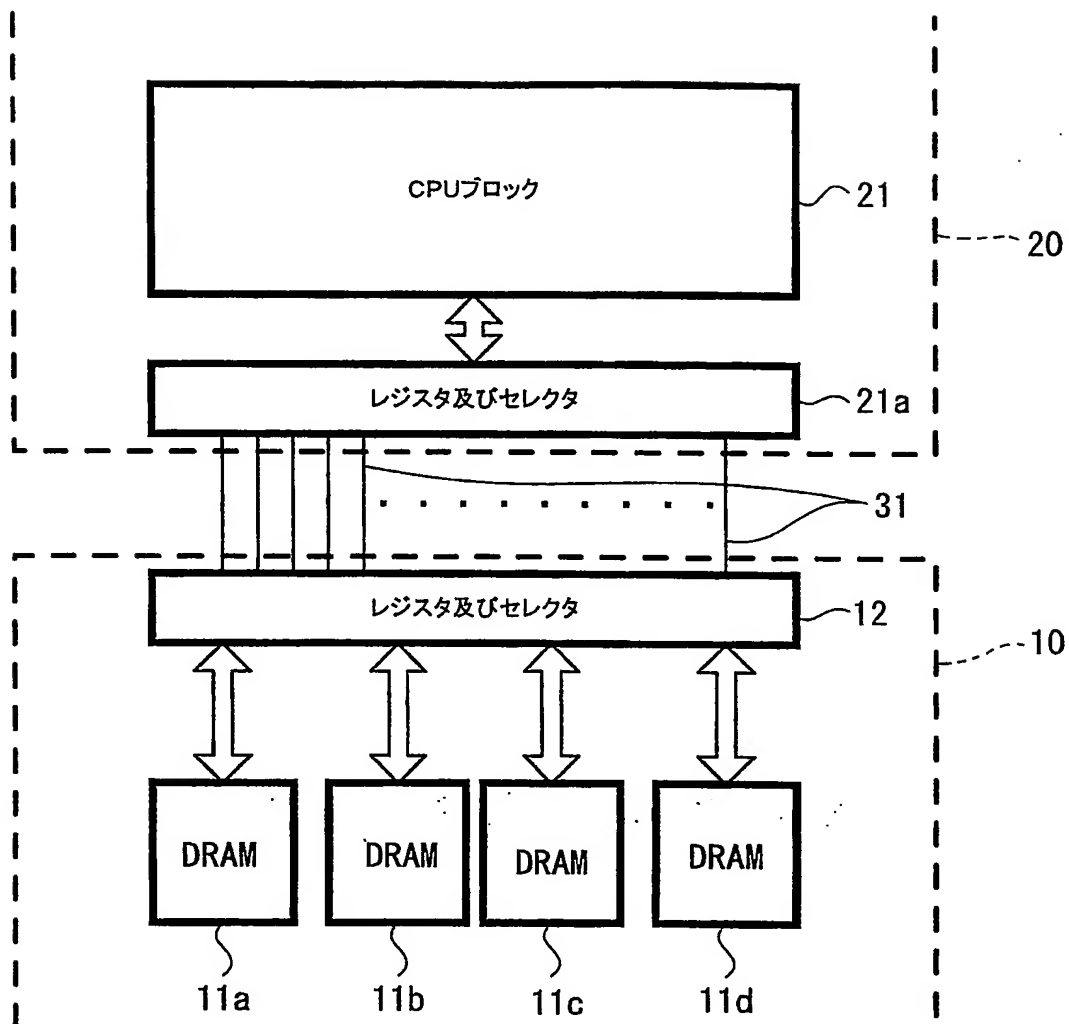


FIG. 7



## 引 用 符 号 の 説 明

1 0	.....	第 1 のチップ
1 1 , 1 1 a ~ 1 1 d	.....	D R A M
1 2	.....	レジスタ及びセレクタ
1 3 a ~ 1 3 c	.....	パッド
2 0	.....	第 2 のチップ
2 1	.....	C P Uブロック
2 1 a	.....	レジスタ及びセレクタ
2 2 a , 2 2 b	.....	パッド
3 1	.....	ワイヤ
1 0 0	.....	第 1 のチップ
1 0 1 ~ 1 0 5	.....	内部配線
1 1 1 ~ 1 1 4	.....	D R A M
1 2 1 , 1 2 2	.....	微小バンプ付き電極
1 3 1	.....	パッド
2 0 0	.....	第 2 のチップ
2 0 1 ~ 1 0 5	.....	内部配線
2 1 0	.....	C P Uブロック
2 1 1	.....	C P U
2 1 2	.....	S R A M
2 1 3	.....	インターフェース
2 1 4	.....	アナログ／デジタル変換器
2 2 1 , 2 2 2	.....	微小バンプ付き電極
3 0 1	.....	ワイヤ

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002196

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L25/065, 25/07, 25/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L25/065, 25/07, 25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-109977 A (Mitsubishi Electric Corp.), 30 April, 1993 (30.04.93), Column 4, lines 14 to 37; Figs. 3 to 4 (Family: none)	1, 2 <u>3, 4</u>
Y	JP 11-168185 A (Rohm Co., Ltd.), 22 June, 1999 (22.06.99), Column 7, lines 26 to 33; Fig. 2 & US 2002/0008309 A1	3, 4
A	JP 10-200062 A (Kabushiki Kaisha TIF), 31 July, 1998 (31.07.98), (Family: none)	1-4
A	JP 2001-156249 A (Agilent Technologies Inc.), 08 June, 2001 (08.06.01), & EP 1093165 A1	1-4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 April, 2005 (15.04.05)

Date of mailing of the international search report  
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 5-109977 A (三菱電機株式会社) 1993.04.30, 第4欄第14-37行, 図3-4 (ファミリーなし)	1, 2 3, 4
Y	JP 11-168185 A (ローム株式会社) 1999.06.22, 第7欄第26-33行, 図2 & US 2002/0008309 A1	3, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

15.04.2005

国際調査報告の発送日

10.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

電話番号 03-3581-1101 内線 3469

4R

9539

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-200062 A (株式会社ティ・アイ・エフ) 1998.07.31 (ファミリーなし)	1-4
A	JP 2001-156249 A (アジレント・テクノロジーズ・ インク) 2001.06.08 & EP 1093165 A1	1-4